



(19)

(11) Publication number:

06326542 A

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **05136576**(51) Intl. Cl.: **H03H 7/34**(22) Application date: **13.05.93**

(30) Priority:

(43) Date of application
publication: **25.11.94**(84) Designated contracting
states:(71) Applicant: **MURATA MFG CO LTD**(72) Inventor: **KATO NOBORU**
IIDA KAZUHIRO

(74) Representative:

(54) DELAY LINE

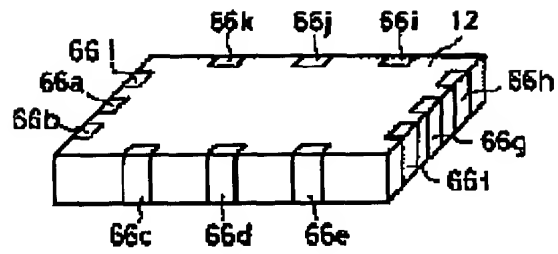
(57) Abstract:

PURPOSE: To obtain a compact delay line capable of the surface package.

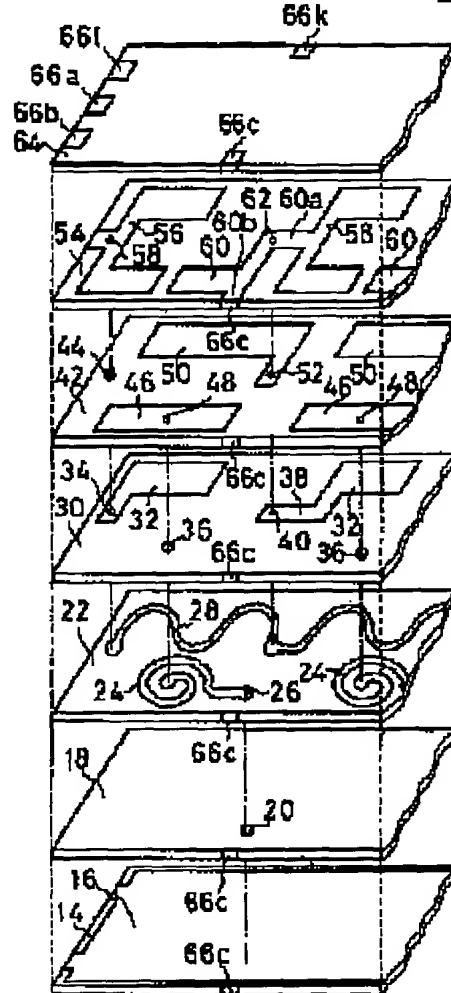
CONSTITUTION: The 1st-7th layers 14-64 are laminated together into a laminated substance 12. A microstrip line consists of an earthing electrode 16 and the conduction lines 24 and 28, and a capacitance consists of the capacitor electrodes 32, 50 and 56 which are set counter to each other. Another capacitance consists of the capacitor electrodes 46 and 56 which are set counter to each other. Furthermore another capacitance consists of the capacitor electrodes 46 and 60 which are set counter to each other. Then a resonance circuit consists of these capacitances and an inductance consisting of the microstrip line. A delay line 10 consists of the resonance circuits which are connected together in a single or plural stages.

COPYRIGHT: (C)1994,JPO

10



10



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-326542

(43) 公開日 平成6年(1994)11月25日

(51) Int.Cl.⁵

H 0 3 H 7/34

識別記号

庁内整理番号

A 9184-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 1 F D (全 6 頁)

(21) 出願番号 特願平5-136576

(22) 出願日 平成5年(1993)5月13日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神2丁目26番10号

(72) 発明者 加 藤 登

京都府長岡京市天神2丁目26番10号 株式

会社村田製作所内

(72) 発明者 飯 田 和 浩

京都府長岡京市天神2丁目26番10号 株式

会社村田製作所内

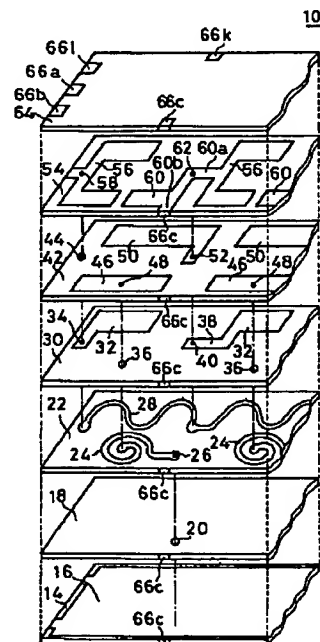
(74) 代理人 弁理士 岡田 全啓

(54) 【発明の名称】 ディレイライン

(57) 【要約】

【目的】 小型で表面実装することが可能なディレイラインを提供する。

【構成】 第1の層14～第7の層64が積層されて、積層体12が形成されている。アース電極16と導電ライン24、28でマイクロストリップラインが形成される。互いに対向するコンデンサ電極32、50、56でキャパシタンスが形成される。また、互いに対向するコンデンサ電極46、56でキャパシタンスが形成される。さらに、互いに対向するコンデンサ電極46、60でキャパシタンスが形成される。これらのキャパシタンスと、マイクロストリップラインで形成されるインダクタンスとで、共振回路が形成される。この共振回路が1段または複数段接続されることにより、ディレイラインが形成される。



【特許請求の範囲】

【請求項1】 誘電体からなる複数の層が積層された積層体、

前記積層体内に形成される面状のアース電極、

前記積層体内に前記アース電極と対向するように形成されたインダクタンスを形成するための導電ライン、および前記積層体内に形成されたキャパシタンスを形成するためのコンデンサ電極を含み、

前記インダクタンスと前記キャパシタンスとによって共振回路を形成した、ディレイライン。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はディレイラインに関し、特にたとえば、インダクタンスとキャパシタンスとを利用した高周波用ディレイラインに関する。

【0002】

【従来の技術】図4は従来のディレイラインの一例を示す図解図である。このディレイライン1は積層体2を含む。積層体2は、たとえば誘電体セラミック材料からなるシートを積層し焼成してなるものである。積層体2の一方主面には面状のアース電極3が形成される。また、積層体2中には、アース電極3と対向しつつ蛇行するようにして導電ライン4が形成される。この導電ライン4とアース電極3とでマイクロストリップラインが形成される。また、図5(A)は従来のディレイラインの他の例を示す平面図であり、図5(B)はその側面図である。このディレイライン1は、同軸ケーブル5がコイル状に巻き重ねられたものである。

【0003】これらのディレイライン1では、マイクロストリップラインや巻線の分布インダクタンスおよび分布キャパシタンスにより、遅延特性を得ている。そして、必要とする遅延時間に合わせて、導電ライン4や同軸ケーブル5の長さが調整される。

【0004】

【発明が解決しようとする課題】しかしながら、高周波（たとえば100MHz以上）で大きな遅延時間（たとえば10nsec以上）を得る必要がある場合には、図4に示すディレイライン1では、導電ライン4の幅を大きくする必要があり、素子の寸法が大きくなるという問題があった。たとえば、周波数1GHzで25nsecの遅延時間を得るためのディレイライン1のサイズは、長さL=80mm、幅W=80mm、高さT=3mmであった。同様に図5に示すディレイライン1では、同軸ケーブル5の芯線6の直径を大きくする必要があり、寸法が大きくなるという問題があった。たとえば、周波数1GHzで25nsecの遅延時間を得るためには、同軸ケーブルが巻き重ねられた部分の直径L=76mm、厚みW=25mmであった。このように、これらのディレイライン1はサイズが大きく、特に巻線型のディレイラインではプリント基板などに表面実装しにくいという

問題があった。

【0005】それゆえに、この発明の主たる目的は、小型で表面実装することが可能なディレイラインを提供することである。

【0006】

【課題を解決するための手段】この発明は、誘電体からなる複数の層が積層された積層体と、積層体内に形成される面状のアース電極と、積層体内にアース電極と対向するように形成されたインダクタンスを形成するための導電ラインと、積層体内に形成されたキャパシタンスを形成するためのコンデンサ電極とを含み、インダクタンスとキャパシタンスとによって共振回路を形成した、ディレイラインである。

【0007】

【作用】積層体内に形成された面状のアース電極と導電ラインとによってマイクロストリップラインが形成される。そして、このマイクロストリップラインによってインダクタンスが形成される。さらに、積層体内に形成されたコンデンサ電極によって、集中定数型のキャパシタンスが形成される。これらのインダクタンスとキャパシタンスとから共振回路が形成される。

【0008】

【発明の効果】この発明によれば、積層体内に形成された共振回路によって、必要な周波数帯域を群遅延させることができる。しかも、積層体内に形成されるキャパシタンスは集中定数型であるため、小さい電極面積で大きいキャパシタンスを得ることができる。そして、コンデンサ電極の面積を変えることにより、キャパシタンスを容易に調整することができる。そのため、高周波帯域においても大きな遅延時間を得ることができ、従来のディレイラインのように部品を大型化しなくてもよい。したがって、小型化および表面実装のためのモジュール化が可能なディレイラインを得ることができる。

【0009】この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の実施例の詳細な説明から一層明らかとなろう。

【0010】

【実施例】図1はこの発明のディレイラインを示す斜視図であり、図2はその要部の分解斜視図である。ディレイライン10は積層体12を含む。積層体12は第1の層14を含む。第1の層14には、その外周部を除くほぼ全面にアース電極16が形成される。アース電極16は、第1の層14の長手方向に対向する端部に2か所ずつ引き出される。第1の層14上には第2の層18が形成される。第2の層18にはビアホール20が形成される。ビアホール20は第2の層18の長手方向に所定の間隔をおいて3つ形成される。

【0011】第2の層18上には第3の層22が形成される。第3の層22上の幅方向の一端側には、渦巻き状の第1の導電ライン24が形成される。第1の導電ライ

ン24の一端は、第2の層18に形成されたビアホール20に対応する位置に形成される。この第1の導電ライン24の一端には、ビアホール26が形成される。そして、ビアホール26と第2の層18に形成されたビアホール20とを介して、第1の導電ライン24と第1の層14上に形成されたアース電極16とが接続される。この第1の導電ライン24は、第2の層18に形成されたビアホール20に対応して、第3の層22の長手方向に所定の間隔をおいて3つ形成される。また、第3の層22上の幅方向の他端側には、波線状に蛇行した第2の導電ライン28が形成される。第2の導電ライン28は、第3の層22の長手方向の一端近傍から他端近傍にわたって3つ形成され、それらが連結される。

【0012】第3の層22上には第4の層30が形成される。第4の層30上の幅方向の他端側には、L字状の第1のコンデンサ電極32が形成される。第1のコンデンサ電極32には、第3の層22に形成された第2の導電ライン28の一端に対応する位置にビアホール34が形成される。このビアホール34によって第1のコンデンサ電極32と第2の導電ライン28とが接続される。第1のコンデンサ電極32は、第4の層30の長手方向に所定の間隔をおいて3つ形成される。

【0013】また、第4の層30にはビアホール36が形成される。このビアホール36は、第3の層22に形成された第1の導電ライン24の渦巻きの中心に位置する他端に対応する位置に形成される。ビアホール36は、3つの第1の導電ライン24に対応して、第4の層30の長手方向に所定の間隔をおいて3つ形成される。

【0014】さらに、第4の層30上には短冊状の電極38が形成される。電極38は、第2の導電ライン28の他端に対応する位置から、次段の第1のコンデンサ電極32に接続するように形成される。電極38の一端にはビアホール40が形成される。そして、このビアホール40を介して、電極38と第2の導電ライン28の他端とが接続される。この電極38およびビアホール40は、第4の層30の長手方向に所定の間隔をおいて3つ形成される。1つめと2つめの電極38の他端は、それぞれ2つめおよび3つめの第1のコンデンサ電極32に接続される。そして、3つめの電極38の他端は、第4の層30の右端部に引き出される。

【0015】第4の層30上には第5の層42が形成される。第5の層42上の長手方向の一端近傍には、第4の層30に形成されたビアホール34に対応するように、ビアホール44が形成される。また、第5の層42の幅方向の一端側には、短冊状の第2のコンデンサ電極46が形成される。第2のコンデンサ電極46には、第4の層30に形成されたビアホール36に対応するようにビアホール48が形成される。このビアホール48と第4の層30に形成されたビアホール36とを介して、第2のコンデンサ電極46と第3の層22上に形成され

た第1の導電ライン24とが接続される。第2のコンデンサ電極46は、第1の導電ライン24に対応して、第5の層42の長手方向に所定の間隔をおいて3つ形成される。ビアホール48も、ビアホール36に対応するようにして、第5の層42の長手方向に所定の間隔をおいて3つ形成される。

【0016】さらに、第5の層42の幅方向の他端側には、一部が第1のコンデンサ電極32に対向するようにして、L字状の第3のコンデンサ電極50が形成される。第3のコンデンサ電極50には、第4の層30に形成されたビアホール40に対応するようにビアホール52が形成される。このビアホール52を介して、第3のコンデンサ電極50と、第4の層30上に形成された電極38とが接続される。第3のコンデンサ電極50は、コンデンサ電極32および電極38に対応して、第5の層42の長手方向に所定の間隔をおいて3つ形成される。また、ビアホール52も、ビアホール40に対応するようにして第5の層42の長手方向に所定の間隔をおいて3つ形成される。

【0017】第5の層42上には第6の層54が形成される。第6の層54上の長手方向の一端近傍には、コの字状の第4のコンデンサ電極56が形成される。第4のコンデンサ電極56は、第2のコンデンサ電極46および第3のコンデンサ電極50に対向するようにして形成される。第4のコンデンサ電極56には、第5の層42に形成されたビアホール44に対応するようにビアホール58が形成される。第4のコンデンサ電極56は、このビアホール58が形成された所から第6の層54の左端部に引き出される。そして、このビアホール58と第5の層42に形成されたビアホール44とを介して、第4のコンデンサ電極56と、第4の層30上に形成された第1のコンデンサ電極32とが接続される。第4のコンデンサ電極56は、第2のコンデンサ電極46および第3のコンデンサ電極50に対応して、第6の層54の長手方向に所定の間隔をおいて3つ形成される。

【0018】また、第6の層54上には、一部が第2のコンデンサ電極46に対向するようにして、L字状の第5のコンデンサ電極60が形成される。第5のコンデンサ電極60の一端部分には、第5の層42に形成されたビアホール52に対応するようにビアホール62が形成される。そして、このビアホール62を介して、第5のコンデンサ電極60と第5の層42上に形成された第3のコンデンサ電極50とが接続される。第5のコンデンサ電極60の第1の引き出し部60aは、第6の層54の長手方向にのびるようにして形成される。また、第5のコンデンサ電極60の第2の引き出し部60bは、第6の層54の幅方向の端部に引き出される。そして、第5のコンデンサ電極60は、第2のコンデンサ電極46に対応して、第6の層54の長手方向に所定の間隔をおいて3つ形成される。また、ビアホール62は、ビアホ

ール52に対応して第6の層54の長手方向に所定の間隔をおいて3つ形成される。このとき、1つめと2つめの第5のコンデンサ電極60の第1の引き出し部60aは、それぞれの右側に形成される第4のコンデンサ電極56の引き出し部と接続される。そして、3つめの第5のコンデンサ電極60の第1の引き出し部60aは、第6の層54の右端部に引き出される。

【0019】第6の層54上には第7の層64が形成される。これらの第1の層14～第7の層64が積層されて、積層体12が形成されている。積層体12の側面には、複数の外部電極66a、66b、66c、66d、66e、66f、66g、66h、66i、66j、66k、および66lが形成される。これらの外部電極66a～66lは、それぞれ断面コの字形であり、それらの一端が積層体12の一方主面に引き出され、他端が他方主面に引き出される。外部電極66aは、積層体12の左端部に引き出されたコンデンサ電極56に接続される。また、外部電極66c、66d、66eは、それぞれ積層体12の幅方向の端部に3か所引き出されたコンデンサ電極60の第2の引き出し部60bに接続される。また、外部電極66gは、積層体12の右端部に引き出されたコンデンサ電極60の第1の引き出し部60aおよび引き出された第2の導電ライン28に接続される。そして、外部電極66b、66f、66h、66lは、積層体12の左右の端部に2か所ずつ引き出されたアース電極16に接続される。外部電極66i～66kは、外部電極66c、66d、66eが形成された端部と対向する端部に、外部電極66c、66d、66eと対向するように形成される。なお、この実施例においては、外部電極66i～66kはダミー電極である。

【0020】図3は図1に示すディレイライン10の等価回路図である。ディレイライン10はインダクタL1を含む。インダクタL1に並列にコンデンサC1が接続される。さらに、インダクタL1に並列に、2つのコンデンサC2、C3が接続される。また、コンデンサC2とC3との間にはインダクタL2が接続されて接地される。こうしてインダクタとコンデンサとから形成された共振回路によって群遅延補正回路が構成される。この実施例では、このような群遅延補正回路が3段接続されている。そして、たとえば接続された3段の群遅延補正回路の両端が入力端および出力端として用いられ、群遅延回路の中間部も出力端として用いられる。

【0021】図3に示す等価回路図において、コンデンサC1は、第1のコンデンサ電極32および、それに対向する第4のコンデンサ電極56と、それらに対向する第3のコンデンサ電極50とで形成される。また、コンデンサC2は、第2のコンデンサ電極46と、それに対向する第4のコンデンサ電極56とで形成される。さらに、コンデンサC3は、第2のコンデンサ電極46とそれに対向する第5のコンデンサ電極60とで形成され

る。また、インダクタL1は、第2の導電ライン28とアース電極16とで形成されるマイクロストリップラインによって形成される。さらに、インダクタL2は、第1の導電ライン24とアース電極16とで形成されるマイクロストリップラインによって形成される。また、入力端子INは外部電極66aで形成される。出力端子OUTは、外部電極66c、66d、66e、および66gによって形成される。さらに、アース端子は外部電極66b、66f、66h、および66lによって形成される。

【0022】このようなディレイライン10を作製するためには、まずたとえば誘電体セラミック材料などからなるシートが準備される。次に、シート上に各電極や導電ラインの形状に導電ペーストを塗布し、各ビアホールが形成される。これらのビアホールに導電ペーストを充填したのち、各シートを積層して焼結することによって積層体12が形成される。そして、積層体12の側面および両主面に外部電極用の電極ペーストを塗布し、焼き付けることによって外部電極66a～66lが形成される。

【0023】このディレイライン10は、積層体12内に共振回路による群遅延補正回路が形成されており、しかも、キャパシタンスは集中定数的に形成されているため、小さい電極面積で大きいキャパシタンスを得ることができる。そして、コンデンサ電極の面積を変えることにより、キャパシタンスを調整することができる。そのため、必要な周波数帯域を群遅延させることができ、高周波（たとえば100MHz以上）で大きな遅延時間（たとえば10nsec以上）を得ることができる。また、この実施例では、群遅延補正回路が直列に3段結合され、各段に出力端子が設けられているので、所望の遅延時間に応じて群遅延補正回路網の段数を選択することができる。さらに、積層体12の側面に外部電極66a～66lを形成したチップ状であり、プリント基板などに表面実装することができる。また、コンデンサ電極が小さくても、分布定数型のディレイラインよりも大きいキャパシタンスを得ることができるため、従来のディレイラインに比べて、体積比で1/20以下に小型化することができる。たとえば、周波数1GHzで25nsecの遅延時間を得るためのディレイライン10のサイズは、長さL=20mm、幅W=16mm、高さT=2.5mmにすることができた。また、ディレイラインを小型化できるため、積層体の材料や電極材料を節約することができ、コストダウンを図ることができる。

【0024】なお、この実施例では、群遅延補正回路を3段直列に結合してディレイライン10を形成したが、これに限らず、3段以下でもよくそれ以上でもよい。また上述のディレイラインでは、インダクタンスを形成するためにマイクロストリップラインを用いたが、これに限らず、ストリップラインを用いて形成してもよい。さ

らに、積層体12内の各層に形成された各導電ラインおよびコンデンサ電極を互いに接続するためにビアホールを用いたが、導電ラインやコンデンサ電極を積層体12の側面に引き出し、積層体12の側面に形成した電極によって接続するようにしてもよい。

【図面の簡単な説明】

【図1】この発明のディレイラインを示す斜視図である。

【図2】図1に示すディレイラインの要部の分解斜視図である。

【図3】図1に示すディレイラインの等価回路図である。

【図4】この発明の背景となる従来のディレイラインの一例を示す図解図である。

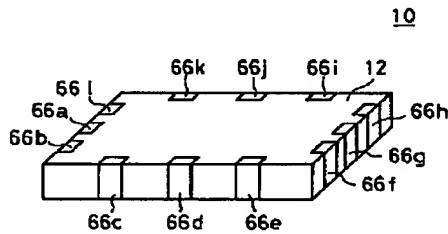
【図5】(A)は、この発明の背景となる他のディレイ*

*ラインの平面図であり、(B)は、その側面図である。

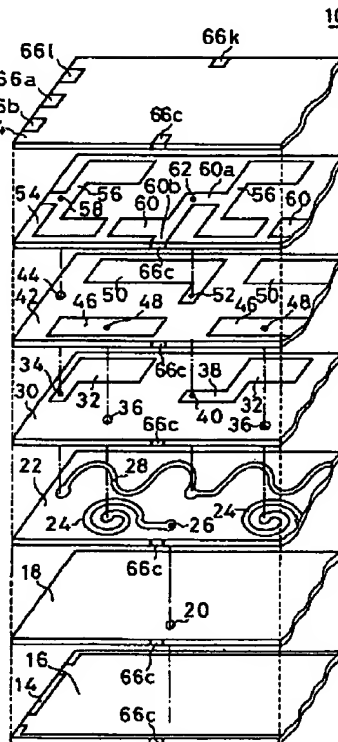
【符号の説明】

- 10 ディレイライン
- 12 積層体
- 16 アース電極
- 24 第1の導電ライン
- 28 第2の導電ライン
- 32 第1のコンデンサ電極
- 38 電極
- 46 第2のコンデンサ電極
- 50 第3のコンデンサ電極
- 56 第4のコンデンサ電極
- 60 第5のコンデンサ電極
- 66a~66l 外部電極

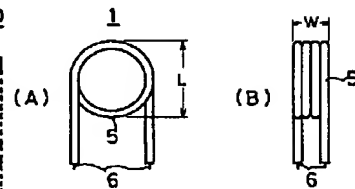
【図1】



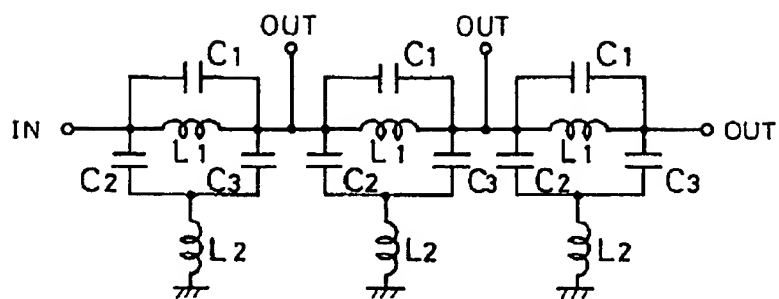
【図2】



【図5】



【図3】



【図4】

